

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-085171

(43)Date of publication of application : 25.03.1994

(51)Int.CI. H01L 27/04
 H01L 21/28
 H01L 27/108

(21)Application number : 04-234478 (71)Applicant : HITACHI LTD
 HITACHI VLSI ENG CORP

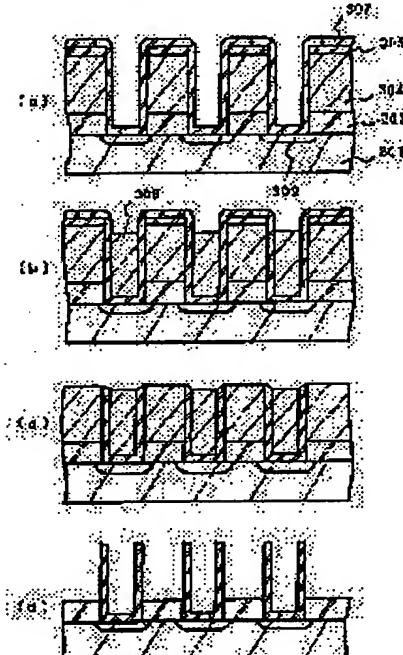
(22)Date of filing : 02.09.1992 (72)Inventor : IIJIMA SHINPEI
 TAKAHASHI TOSHIKAZU

(54) PATTERN FORMING METHOD AND MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To prevent the distortion of an organic pattern when polycrystalline silicon is formed, and prevent the deformation of the organic material itself when base material is etched by using the organic material as a mask, by sufficiently heat-treating the organic material before patterning, and using an Si film as the mask for working the organic material.

CONSTITUTION: Organic material 304 is formed on an N-type impurity diffusion layer 302 formed on the surface of a P-type Si substrate 301, and then heat treatment is performed at 600° C in the state that N2 is introduced and kept at 130Pa. By anisotropically etching the substrate via polycrystalline Si305, a pattern is transferred, and polycrystalline Si307 is deposited on the surface of the exposed impurity diffusion layer 302 surface. After second organic material 308 is formed on the whole surface, the organic material 308 is left only in trenches by etching back the whole surface. The polycrystalline



Si307 exposed by the anisotropic dry etching and the polycrystalline Si305 of the mask are etched and eliminated. By using O2 plasma, the organic material 304, 308 are etched and eliminated, and screens of Si are formed.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(51)Int.Cl.⁵
H01L 27/04
21/28
27/108

識別記号

C 8427-4M
Z 9055-4M
9170-4M

F I

H01L 27/10

325 M

審査請求 未請求 請求項の数7 (全9頁)

(21)出願番号 特願平4-234478

(22)出願日 平成4年(1992)9月2日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 00023348

日立超エル・エス・アイ・エンジニアリング株式会社

東京都小平市上水本町5丁目20番1号

(72)発明者 飯島 晋平

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 小川 勝男

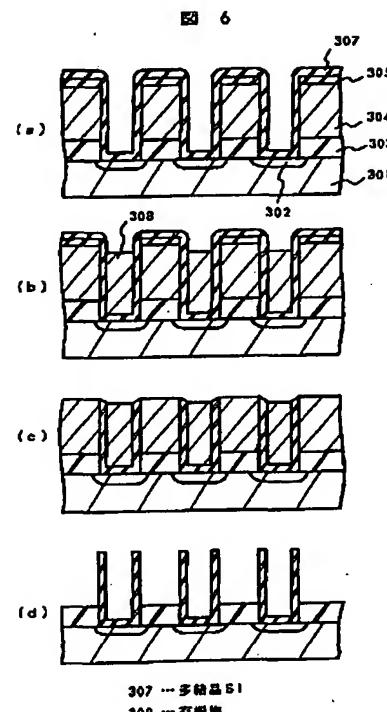
最終頁に続く

(54)【発明の名称】パターン形成方法および半導体装置の製造方法

(57)【要約】

【構成】有機物を形成した後、多結晶Siを全面に堆積し、さらにレジストを塗布してバターニングした後、一旦多結晶Siにパターンを転写し、さらに有機物にパターンを転写し、有機物表面に多結晶Siを残した状態で下地絶縁膜をエッティングする。

【効果】有機物表面を多結晶Siで被覆してあるので下地絶縁物のエッティング時に有機物自身がエッティングされ形状不良となることを防止できるので、垂直な多結晶Siの衝立形成が可能となり、例えばDRAM用キャパシターエレメントなどを簡便な工程で且つ制御性よく形成できる。



【特許請求の範囲】

【請求項1】第一の有機物上に、無機物を形成し、さらにホトレジストあるいは電子線レジストから成る第二の有機物を形成した後、写真食刻法により第二の有機物にパターンを形成し、以下、順次、無機物、第一の有機物へとパターンを転写するパターン形成方法において、無機物にSiを用いることを特徴とするパターン形成方法。

【請求項2】請求項1記載のSiは、シランガスを原料とする化学気相成長法(CVD法)によって形成した多結晶Siもしくは非晶質Siからなることを特徴とするパターン形成方法。

【請求項3】請求項1記載のSiは、シランガスおよびドーパントガスを原料とするCVD法によって形成し、導電性を有する多結晶Siからなることを特徴とするパターン形成方法。

【請求項4】第一の有機物上にSiを形成する前に、第一の有機物が、Siを形成するための圧力および温度条件と、少なくとも同じ条件で熱処理されていることを特徴とする請求項1乃至3記載のパターン形成方法。

【請求項5】半導体基板、半導体薄膜もしくは導体上に絶縁膜が形成され、その上に第一の有機物を形成し、請求項4の条件で熱処理を施した後、請求項2ないし3の方法によって第一のSi膜を堆積し、さらにレジスト材料を回転塗布法により形成し、写真食刻法によりレジスト材料にパターンを形成し、バーニングされたレジスト材料をマスクとして前記第一のSi膜をエッチングしてパターンを転写し、さらにその状態で前記第一の有機物をエッチングしてパターンを転写し、表面が露出した前記絶縁膜をエッチングしてコンタクトホールを形成する工程を含み、エッチングのマスクに用いた第一のSi膜及び第一の有機物を残したまま、第一のSi膜と同様に第二のSi膜を堆積し、この段階で生じているコンタクトホールを形成した凹部を第二の有機物で充填し、第一の有機物上に形成されている第二のSi膜表面を露出させ、第二および第一の積層Si膜をエッチング除去し、第一の有機物表面を露出させると同時に前記凹部内にのみ第二のSi膜を残存させ、O₂プラズマ処理を施して第一および第二の有機物を除去して、前記半導体基板、半導体薄膜もしくは導体と前記第二のSi膜とのコンタクトを形成することを特徴とする半導体装置の製造方法。

【請求項6】請求項5の方法を用いて形成する円筒状のSiの衝立をメモリー容量部の一方の電極として用いることを特徴とする半導体装置の製造方法。

【請求項7】半導体基板あるいは、半導体基板上に形成された半導体もしくは導体上に、請求項5の方法を用いてSiプラグを形成し、該半導体基板、半導体、あるいは導体と上層配線とを接続することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法に係わり、特に製造工程の簡略化とプロセスマージンの向上に有益な、有機物を用いた半導体装置の製造方法に関する。

【0002】

【従来の技術】ダイナミック型ランダムアクセスメモリー(DRAM)に代表される半導体装置は、大容量化の要求を満たすためにそれを構成する個々の要素デバイスをより微細に形成するための微細加工技術の開発が不可欠となっている。具体的にはリソグラフィーとドライエッティング技術の高精度化が重要な課題となっているが、特に後者については複雑な構造の中でエッティングを行なう必要があり、異種材料間のエッティング速度の選択性確保が極めて困難になってきている。この点に鑑み、無機物に対してほぼ無限大の選択性を持って加工や除去が可能な有機物を利用する方法が特開平3-150870号公報に述べられている。具体的には、有機物のパターンを形成した後、それを除去することなくその上に直接無機物である多結晶Siを形成して半導体製造工程に利用する方法である。

【0003】

【発明が解決しようとする課題】上記従来技術では、以下の点について問題があった。

【0004】①バーニングした有機物は、多結晶Si形成時の熱処理によって収縮しパターンの歪みが生じる。その様子を模式的に示した図1を用いてこの問題について説明する。

【0005】Si基板101上に感光性を有する有機物を形成し、通常のホトリソグラフィーにより複数のホールを有する有機物のパターン102を形成した状態を図1(a)に示した。

【0006】この状態で多結晶Siを形成する条件で熱処理した結果を図1(b)に示した。パターンが収縮し、端部に近いほど側壁が傾斜してしまいホールの形状が歪むことが明らかとなった。この歪は、パターンの大きさに依存しており幅が1μm以下の小さいパターンでは問題にならないが、それより大きなパターンでは大きくなるほど側壁傾斜も顕著となる。このパターン傾斜はその後の微細加工を著しく困難にする原因となる。

【0007】②有機物をエッチングのマスクとして下地材料をドライエッティングした場合、そのドライエッティングによってマスクの一部もエッチングされ形状が変化する。そのため、最終的に微細加工が困難になる問題が発生する。図2および図3を用い、この問題について具体的に説明する。図2および図3は、Si基板表面に形成したSiO₂膜に開孔を設け、その開孔を介してSi基板上にSiの衝立を形成する場合の一連の概略工程を示

【0008】まず、Si基板201表面の所定の領域に不純物拡散層202を形成した後、SiO₂203を全面に堆積し、さらに有機物204のパターンを形成した(図2a)。この状態で有機物204をマスクとしてSiO₂203をドライエッティングし、開孔を設けた(図2b)。この時マスクとして用いた有機物204の肩の部分もエッティングされ、側壁に傾斜が生じる。この傾斜が後で問題となる。次に多結晶Si205を全面に堆積し、さらに有機物206を全面に塗布形成する。その有機物206を全面エッチバックし、溝内にのみ有機物206を残存させる(図2c)。この状態で表面に露出した多結晶Si205をエッティングする(図3a)。酸素プラズマにより、有機物204および206を除去する(図3b)。その後、例えば多結晶Si207を全面に堆積すると、衝立の多結晶Si205が傾斜しているため段差被覆性に優れた多結晶Si207でさえ衝立の間の空間を充填することが出来ず、空洞208が生じる。また、端部の衝立においてはオーバーハング209が生じる(図3c)。これらの空洞やオーバーハングは、製造歩留まりを著しく低下させる原因となる。

【0009】本発明の目的は、多結晶Siを形成しても有機物のパターンが歪まない方法を提供するとともに、有機物をマスクとして下地材料をエッティングしても有機物自身に変形が生じないようにすることによって、信頼性の高い、有機物を用いた半導体装置の製造方法を提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するためには、有機物を形成した後バターニングする前に所望の無機薄膜を形成するのに必要な温度で予め熱処理するようにした。また、熱処理した後全面にSi薄膜を形成するようにした。

【0011】

【作用】有機物を形成した後、その表面に無機薄膜を形成するのに必要な温度で予め行なう熱処理は、有機物中に含まれる、その温度での脱ガス成分を有機物中から脱気させる働きをする。すなわち、パターン形成前に熱処理を加え、耐熱性を向上させた上でバターニングを行うことにより、そのバターニングされた有機物は無機薄膜形成時の温度にたいして充分な耐熱性を有しており、パターンが変形することがない。また、熱処理した後全面に形成するSi薄膜は、3層レジスト法に用いる上層感光性レジスト、中間層、有機物(下層レジスト)のうち中間層として用いることが可能で有機物へのパターン転写に寄与する。さらに、有機物へのパターン転写後もSi薄膜を除去せずに残したまま有機物の下地材料となるSiO₂やSi窒化膜などのドライエッティングを行うことによりSi薄膜をドライエッティングのマスクとして用いることができる所以有機物に変形をもたらすことがない。

【0012】

【実施例】〈実施例1〉最初に、DRAM用のキャバスターを構成する電極を想定したSiの衝立をSi基板上に形成する方法について図4、図5、図6を用いて説明する。p型、1.0ΩcmのSi基板301表面の所定の領域にイオン打込み法を用いてn型不純物拡散層302を形成した。Si基板301表面に予め形成してあったSiO₂膜を一旦除去した後、低圧化学気相堆積法(LPCVD)により厚さ300nmのSiO₂303を形成した。その後、厚さ800nmの有機物304を回転塗布法により形成した。本実施例では有機物として日立化成社製のPIQ(ポリイミド樹脂:タイプPIX-L10)を用いた(図4a)。

【0013】次に本発明の趣旨である有機物の熱処理およびSi薄膜の形成を行なった。室温状態のSi薄膜形成装置にSi基板を挿入した後、装置内を一旦0.8Paまで真空排気した。その後N₂を導入して130Paに圧力を維持した状態で600°Cまで昇温し、その状態で20分間熱処理した。本実施例では、室温状態でSi

20 基板の挿入を行なったが、本質は、有機物から空気中の酸素を遮蔽した状態で所定の温度まで昇温することであり、このような機構を備えた装置を用いた場合には600°Cの装置内に直接挿入しても何ら問題は生じなかつた。また、熱処理時間は有機物の材質や膜厚によって変化せざるが、本実施例の場合では、少なくとも10分間は必要であった。上記熱処理を終了した後、引き続きN₂からSiH₄(モノシラン)にガスを変換して、熱処理した有機物上に厚さ100nmの多結晶Si305を堆積した(図4b)。

30 【0014】次に感光性を有するレジスト306を厚さが600nmになるように回転塗布法により形成し、周知のリソグラフィ技術により所定のパターンを形成した(図4c)。

【0015】次にレジスト306をマスクとして多結晶Si305を異方性ドライエッティングしパターンの転写を行なった(図5a)。

40 【0016】さらにその状態で有機物304を異方性ドライエッティングしパターン転写を行なった。この有機物へのパターン転写は、周知のように酸素含有雰囲気で行なうためレジスト306はエッティングされて消滅するが、多結晶Si305は酸素ではエッティングされないため残存する(図5b)。

【0017】次に多結晶Si305を残したまま下地材料となるSiO₂303を異方性ドライエッティングした。従来の所謂多層レジスト法によるパターン転写では多結晶Si305の代わりにSOG(回転塗布ガラス)等のSiO₂系材料が用いられる。そのため下地材料となるSiO₂をエッティングしている間にSOGが消滅してしまい、有機物304の表面が露出し、結果的には有機物304の側壁に傾斜のついた形状しか得られなくな

る。本発明ではこの問題を回避するために多結晶Siを用いることをひとつの主旨としており、その結果SiO₂とのエッチング速度の選択性を確保することが可能となり、有機物表面に多結晶Siを残存させることができるので、有機物304に形状不良が生じることはなかった(図5c)。

【0018】次に、露出した不純物拡散層302表面の清浄化を図るために通常の湿式洗浄を施した後、多結晶Si305の形成時と同様に空気を遮蔽した状態で薄膜形成装置内に挿入し、厚さ100nmの多結晶Si307を堆積した。堆積した後走査型電子顕微鏡により詳細にパターンを観察したが、従来技術の項で述べたような有機物の収縮に起因した形状不良は全く生じていなかつた。なお、多結晶Si307の形成においてはSi₁H₁に加えてPH₃(ホスフィン)を同時に流し、膜中にリンを含有する多結晶Siとなるようにした。本実施例では上記ガスの組合せを用いたが、Si₁H₁(ジシラン)とPH₃の組合せなどであっても良い。また、通常の多結晶Siを形成した後に周知のイオン打込み法を用いて不純物を含有させても良い(図6a)。

【0019】次に、回転塗布法により第二の有機物308を全面に形成した後ドライエッティングにより全面エッチバックし溝内にのみ有機物308を残存させた。本実施例では有機物308として通常のリソグラフィーに用いられるポジ型ホトレジストを用いたが、基本的には回転塗布法によって形成できる有機物であれば問題なく使用することができる(図6b)。

【0020】次に、異方性ドライエッティングにより露出した多結晶Si307をエッティング除去した。このエッティングにより、有機物304の加工のマスクとして用いた多結晶Si305も同時にエッティング除去する(図6c)。

【0021】次に、O₂プラズマにより有機物304および308をエッティング除去し、Siの衝立を形成した(図6d)。

【0022】本実施例によれば、有機物をバーニングする前に予め充分熱処理し、かつその有機物の加工のマスクとしてSi膜を用いることにより有機物自身の変形を防止することができるので垂直なSiの衝立を形成できる効果がある。また有機物の加工のマスクとして用いるSi薄膜に不純物を含有させることにより導電性を持たせることができ、電子線描画リソグラフィーで問題となるチャージアップ現象を回避することができ、微細加工を実現できる効果がある。

【0023】〈実施例2〉実施例1では有機物を用いてSiの衝立を形成する方法について述べた。本実施例では同様の方法によりSiのプラグを形成する例について図7および図8を用いて説明する。

【0024】所定の領域にn型の不純物拡散層402が形成されたp型Si基板401上に厚さ300nmのS

iO₂403を形成した後、PIQからなる厚さ800nmの有機物404を形成し、実施例1と同じ熱処理を施した後、厚さ100nmのSi膜を形成し、さらに感光性レジスト406を形成した。続いてレジスト406に所定のパターンを形成し、それをマスクとしてSi膜405にパターン転写を行なった(図7a)。

【0025】さらに有機物404にパターン転写を行なった(図7b)。

【0026】引き続き異方性ドライエッティングによりSiO₂403を加工した(図7c)。

【0027】次に不純物拡散層表面の清浄化洗浄を施した後、溝が全て埋まるように溝の幅の少なくとも半分以上の膜厚の多結晶Si407を形成した。多結晶Si1は、Si₁H₁とPH₃の組合せを用い不純物を含有させながら形成した。Siプラグを形成する場合には、イオン打ち込み法等の手段によって後から不純物を含有させることができて困難であり、膜形成時に不純物を含有させることが必要となる。本実施例では溝幅を500nmとしたので多結晶Si1の膜厚は300nmにした。形成

20 後、走査型電子顕微鏡により断面を観察した結果、溝は多結晶Si1により充分に充填されていた(図7d)。

【0028】次にドライエッティング法により多結晶Si1407を全面エッチバックし、有機物404表面に形成されていた多結晶Si1を除去し、溝内にのみ多結晶Si1を残存させた(図8a)。

【0029】次にO₂プラズマ処理により有機物404を除去してSiプラグを形成した(図8b)。

【0030】本実施例によれば、有機物404に形状不良をもたらすことがないので側壁が垂直な形状制御性の30 良いSiプラグを形成できる効果がある。

【0031】〈実施例3〉LSIの実際の構造は極めて複雑であり、ひとつの断面で全ての構造を表わすのは困難であるが、本実施例ではより実際に近い構造を例に取って溝を埋める方法について図9から図12を用いて説明する。

【0032】図9はDRAM等のメモリーLSIで良く用いられている、ワード配線1, 2, 3, 4とピット配線5, 6, 7, 8が直交した状態のレイアウトを示している。通常、ワード配線とピット配線で囲まれた領域40に、Si基板とより上層に位置する導体との導通を確保するためのコンタクトホール9が設けられる。このようなレイアウトにおいてA-A'で示した線上の断面模式図を図10以降に示した。

【0033】所定の領域にn型不純物拡散層502が形成されたp型Si基板501上にゲート絶縁膜503およびワード配線となる多結晶Si504が形成され、さらにサイドウォール絶縁膜505およびSiO₂膜506でSi基板が被覆されている状態を示している(図10a)。

【0034】この状態で不純物拡散層502上の溝はS

*i*で充填し、一方不純物拡散層のない図の中央の溝は絶縁膜で充填する場合がしばしば生じる。その方法について以下説明する。実施例1と同様にPIQ507を回転塗布法により表面が平坦になるように形成したあと、熱処理を施して不純物含有多結晶Si508を形成した(図10b)。

【0035】電子線レジスト509を回転塗布法により形成した後、周知の電子線リソグラフィー技術により不純物拡散層502との位置の整合性が取れるようにパターンを形成した(図11a)。

【0036】異方性ドライエッティングにより多結晶Si508にパターン転写を行なった後さらにPIQ507を異方性ドライエッティングした(図11b)。

【0037】その後、異方性ドライエッティングによりSiO₂506を不純物拡散層502表面が露出するまでエッティングした(図11c)。

【0038】実施例2と同じ方法により不純物含有多結晶Si510を溝が完全に埋まるように堆積した(図12a)。

【0039】その後、ドライエッティングにより多結晶Si510をエッチパックした(図12b)。

【0040】O₂プラズマによりPIQ507を除去し、不純物拡散層502上の溝にのみ多結晶Si510を充填した(図12c)。

【0041】本実施例によれば、PIQ表面を多結晶Siで被覆した状態で下層のSiO₂をエッティング加工できるのでPIQの形状を損なうことがない。また、そのPIQを残したまま多結晶Siを堆積できるので加工した領域に自己整合でSiプラグを形成できる効果がある。さらに、PIQで被覆されている他の領域にはダメージを与えることなくSiをエッチパックできる効果がある。

【0042】(実施例4)次に図12(c)に示した図の中央の溝をSiO₂で充填する方法について図13により説明する。

【0043】前記実施例と同様に、PIQ612を表面が平坦になるように回転塗布法により形成した後、熱処理を施し厚さ100nmの不純物含有多結晶Si613をCVD法により形成した。さらに電子線レジストを回転塗布法により形成し電子線リソグラフィーにより所定の領域にパターンを形成し、さらに異方性ドライエッティング法を用いて多結晶Si613およびPIQ612へパターンを転写し、開孔614を形成した(図13a)。

【0044】この段階で多結晶Si613を除去しても良いが、本実施例では除去せずに厚さ400nmの絶縁膜615の形成をおこなった。本実施例では絶縁膜としてSiO₂を形成するために300°Cから400°C程度の低温でオゾン(O₃)とTEOS(テトラエチルオルソシリケート; Si(O₂CH₃)₄)を原料として用いた。

本方法で形成する膜は段差被覆性が良いので開口614は完全に埋まっていた。なお、O₃を用いるので開口614の側壁に露出しているPIQ612がO₃と反応しエッティングされる懸念があったが、電子顕微鏡により観察した結果全く問題はなかった(図13b)。

【0045】その後異方性ドライエッティング法により絶縁膜615を全面エッチパックした。この時絶縁膜615と多結晶Si613のエッティング速度が等しくなるような条件を用いることにより多結晶Si613も同時に

10 除去することが可能である。エッティング速度が等しくなるような条件は、使用する装置によって異なるが、一般的にはガス圧力や高周波パワーを調整することによって設定することが可能である。本実施例では、平行平板型のプラズマエッティング装置を用い、圧力14Pa、高周波パワー0.5W/cm²、周波数13.56MHz、エッティングガスとしてCF₄を用いた。この条件ではSiとSiO₂のエッティング速度比を1.1とすることができる(図13c)。

【0046】次にO₂プラズマ処理にPIQ612を除去し、溝内にのみ絶縁膜615を残存させた(図13d)。

【0047】本実施例によれば、PIQを用いることにより絶縁膜で形成される溝を絶縁膜で充填し、表面を平坦化できる効果がある。また、本実施例では溝を充填する絶縁膜としてO₂とTEOSを原料ガスとするSiO₂を用いたが、多結晶Siを形成する温度より低い温度で形成できる絶縁膜であれば他の絶縁膜であっても良いよい。

【0048】
30 【発明の効果】本発明によれば、有機物の表面を多結晶Siで被覆した状態で、有機物の下地絶縁膜をエッティング加工できるので有機物自身にエッティングの損傷を与えることがなく、従って有機物の変形を防止でき、その側壁を垂直に維持したまま多結晶Siの形成が可能となるので最後に有機物を除去した段階で、垂直なSiの衝立が得られる効果がある。これによりDRAMのキャパシタ用電極を簡便な工程で且つ制御性よく形成できる。

【図面の簡単な説明】
40 【図1】従来技術の問題点を説明するための図。
【図2】従来技術の問題点を説明するため一連の工程断面図。

【図3】従来技術の問題点を説明するため図2から続く一連の工程断面図。

【図4】本発明の第一の実施例を説明するための一連の工程断面図。

【図5】本発明の第一の実施例を説明するため図4から続く一連の工程断面図。

【図6】本発明の第一の実施例を説明するため図5から続く一連の工程断面図。

50 【図7】本発明の第二の実施例を説明するための一連の

工程断面図。

【図 8】本発明の第二の実施例を説明するための図 7 から続く一連の工程断面図。

【図 9】本発明の第三の実施例を説明するための平面レイアウト図。

【図 10】本発明の第三の実施例を説明するための図 9 に対応する一連の工程断面図。

【図 11】本発明の第三の実施例を説明するための図 10 に続く一連の工程断面図。

【図 12】本発明の第三の実施例を説明するための図 10 に続く一連の工程断面図。

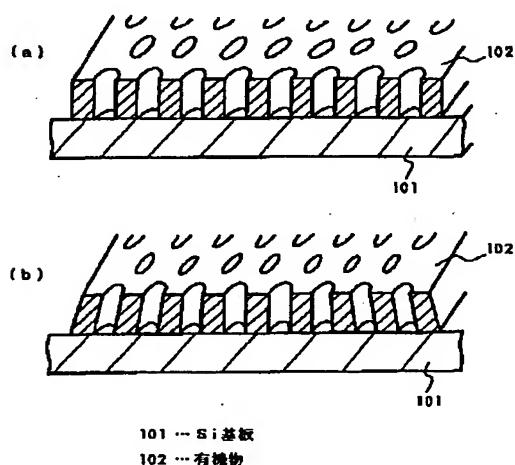
【図 13】本発明の第四の実施例を説明するための一連の工程断面図。

【符号の説明】

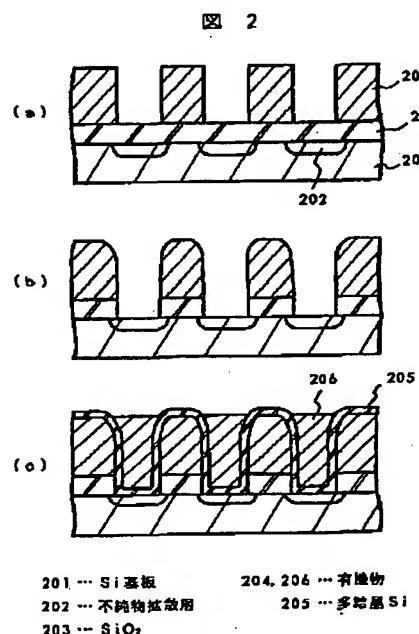
1, 2, 3, 4…ワード配線、5, 6, 7, 8…ビット配線、9…コンタクトホール、101, 201, 301, 401, 501…Si 基板、102, 202, 204, 206, 304, 308, 404…有機物、202, 302, 402, 502…不純物拡散層、203, 303, 403, 506…SiO₂、205, 207, 305, 307, 405, 407, 504, 508, 510, 613…多結晶 Si、208…空洞、209…オーバーハング、306, 406, 509…レジスト、503…ゲート絶縁膜、505…サイドウォール絶縁膜、507, 612…PIQ、614…開孔、615…絶縁膜。

【図 1】

図 1

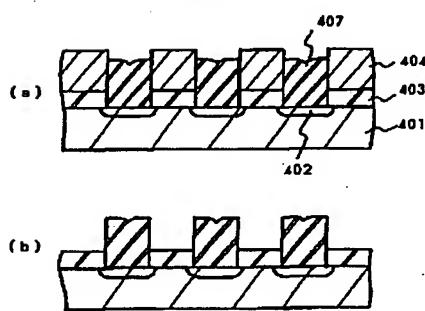


【図 2】



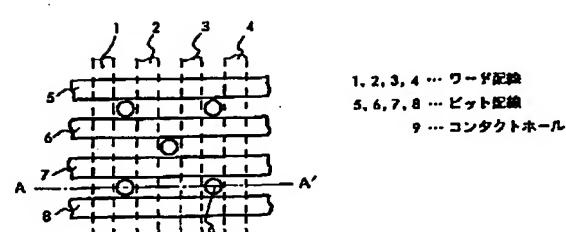
【図 8】

図 8



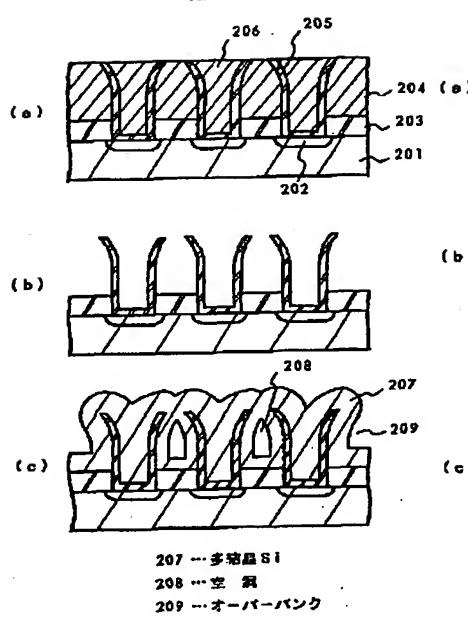
【図 9】

図 9



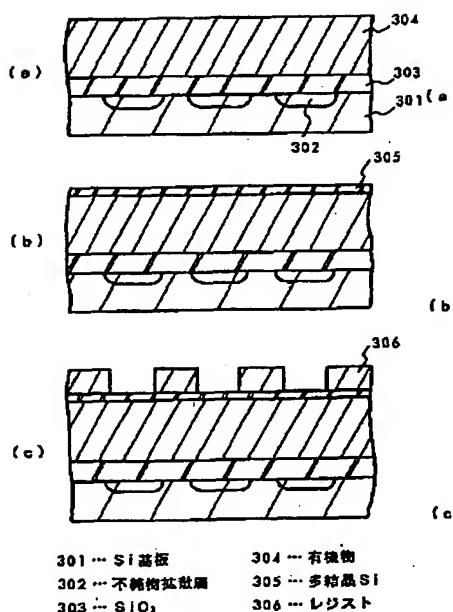
【図3】

図3



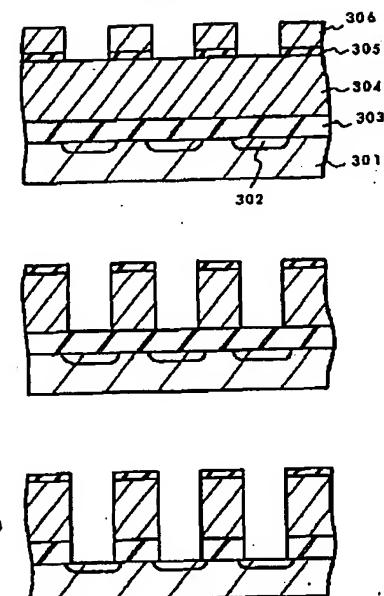
【図4】

図4



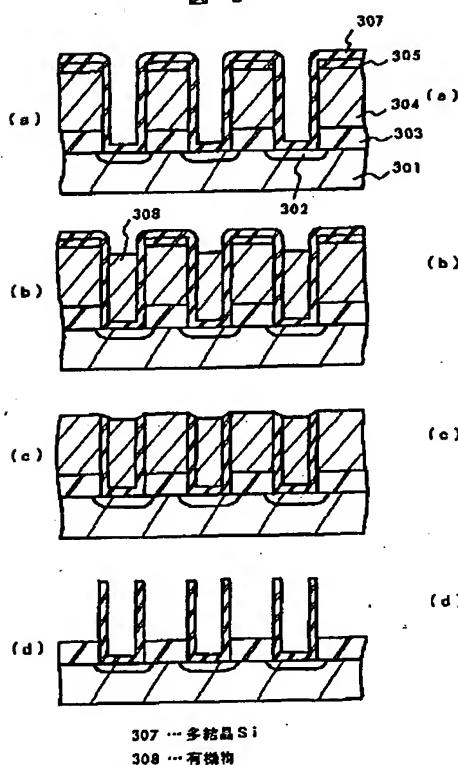
【図5】

図5



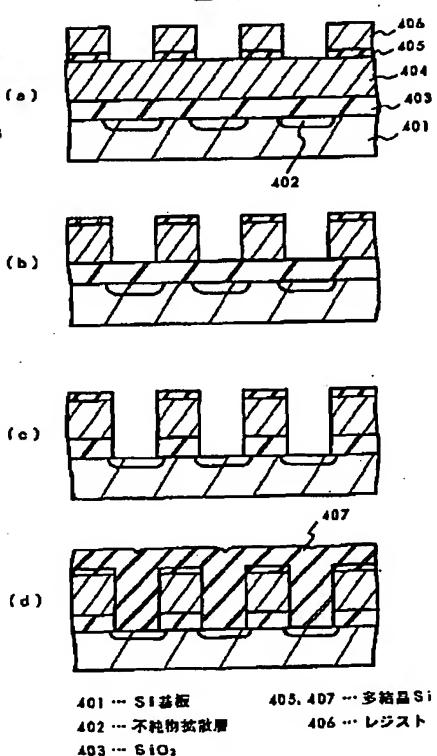
【図6】

図6



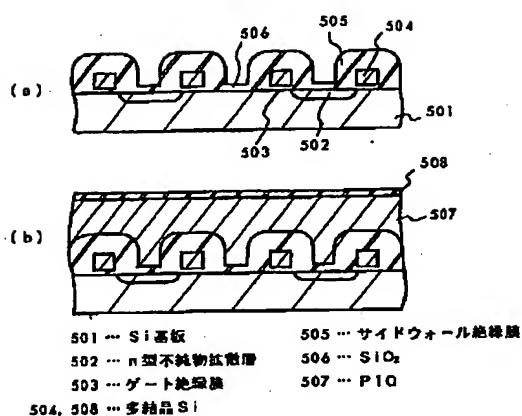
【図7】

図7



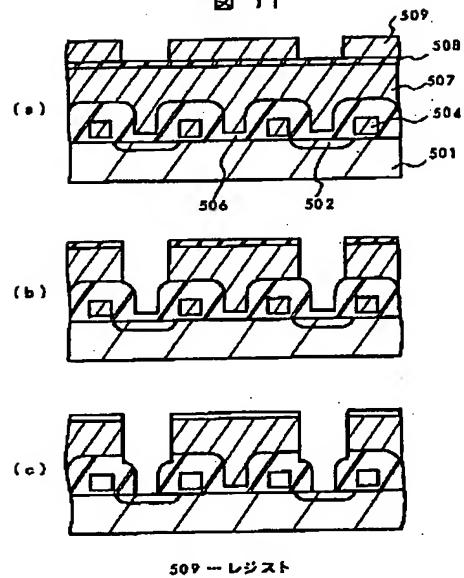
【図10】

図 10



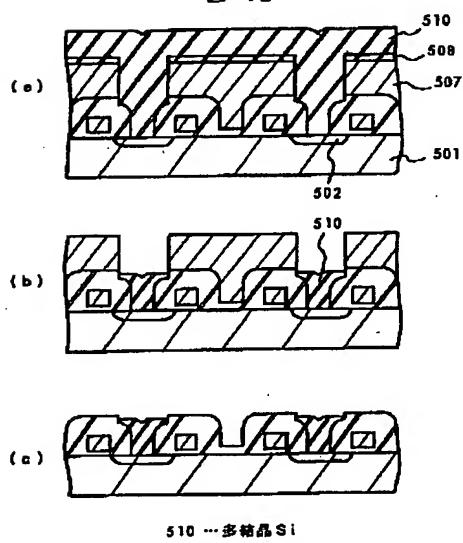
【図11】

図 11



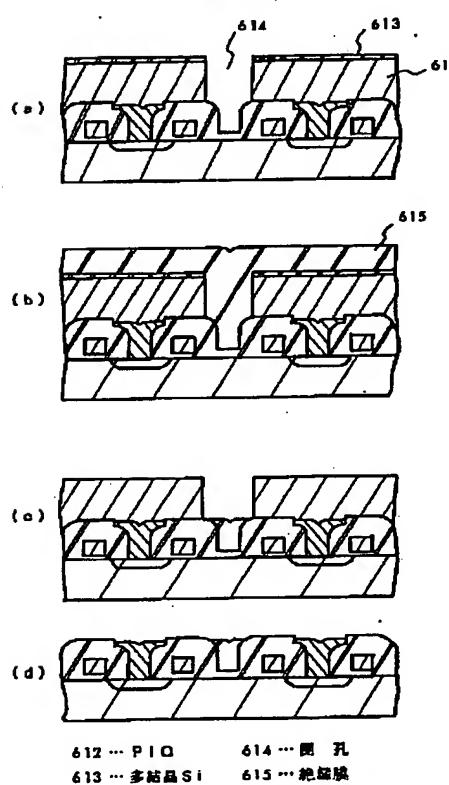
【図12】

図 12



【図13】

図 13



フロントページの続き

(72)発明者 高橋 俊和

東京都小平市上水本町5丁目20番1号 日
立超エル・エス・アイ・エンジニアリング
株式会社内